컴퓨터 공학 기초 설계 및 실험1

Project report

Project Name : Digital Clock

실험일자: 2018년 05월 03일, 10일, 17일

제출일자: 2018년 05월 24일 (목)

학 과: 컴퓨터정보공학부

담당교수: 이준환

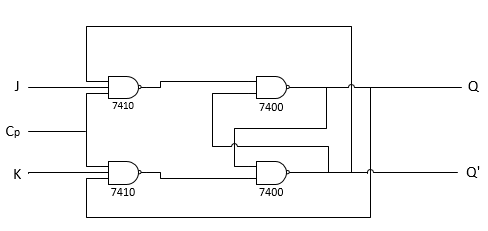
실습분반: 목요일(0,1,2)

학 번: 2015722025

성 명: 정용훈

**Project Report**

1. **배경 지식**
2. JK-Flip Flop

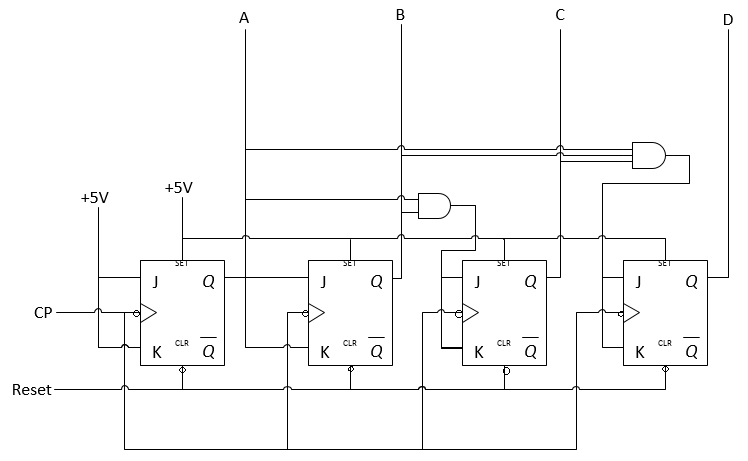


Flip Flop이란 입력 값에 따라 출력 값이 결정되는 조합논리회로와 달리 현재의 입력 값 뿐만 아니라 기억소자인 Flip Flop에 저장되어 있는 정보에 의하여 결정되는 논리회로 이다. 즉 입력이 들어오기 전에 이미 저장되어 있는 과거의 상태 값을 바탕으로 현재의 출력 값이 결정되는 회로를 말한다. JK-Flip Flop은 RS-Flip Flop에서 입력이 금지되어 있는 R=1, S=1 의 조합이 허용되도록 수정한 Flip Flop을 말한다. J=1, K=1인 경우에는 출력의 Q의 상태가 반전되게 된다.

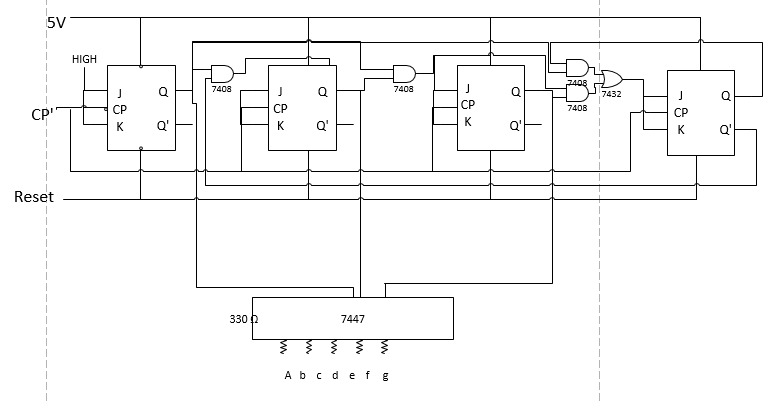
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| J | K | CP | Qn+1 | 비고 |
| 0 | 0 | ↓ | Qn | 불변 |
| 0 | 1 | ↓ | 0 | 리셋 |
| 1 | 0 | ↓ | 1 | 셋 |
| 1 | 1 | ↓ | Qn’ | 반전 |

1. 동기계수회로

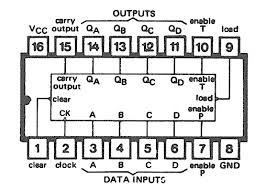
동기 계수 회로는 하나의 클럭 펄스가 모든 Flip Flop 의 CP 입력에 연결된다. 또한 특정 Flip Flop의 상태 변화는 다른 Flip Flop의 현재 상태에 영향을 받는다. 동기계수회로는 Flip Flop이 n개 일 때 순차적으로 2의 n-1승 까지 나타낼 수 있다. 작동원리는 다음과 같다. JK Flip Flop에서 모든 Flip Flop의 J, K에 1의 값을 입력한 상태에서 falling edge를 만나게 되면 Flip Flop은 토글링이 된다. 따라서 첫 번째 Flip Flop(2의 0승)은 falling edge마다 토글링이 된다. 마찬가지 방법으로 첫 번째 Flip Flop(2의 0승) 의 결과 값이 1일 때 두 번째 Flip Flop(2의 1승)이 토글링 된다. 첫 번째 Flip Flop(2의 0승)과 두 번째 Flip Flop(2의 1승)의 결과 값이 1일 때 세 번째 Flip Flop(2의 2승)이 토글링된다. 첫 번째 Flip Flop(2의0승), 두번째 Flip Flop(2의1승), 세 번째 Flip Flop(2의2승)이 모두 1일 때 4번째 Flip Flop(2의3승)이 토글링 된다. n번째 Flip Flop(2의 n-1승)을 토글링 시키려면 1번째 Flip Flop(2의 0승), 2번째 Flip Flop(2의 1승), ..., n-1번째 Flip Flop(2의 n-2승) Flip Flop의 결과값이 모두 1 이어야 한다. 이와같이 JK-Flip Flop을 n개 연결시키게 되면 2의 n-1승까지 순차적으로 나타낼 수 있다. 동기계수회로에서는 동작할 때, Flip Flop의 전파 지연 시간이 없기 때문에 정확한 카운터를 설계할 때 이용된다.



1. 동기 10진 카운터

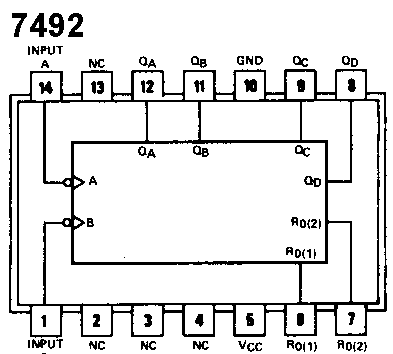
동기 10진 카운터란 0에서 9까지 10개의 상태를 순차적으로 나타내고 동기 10진 카운터란 0(0000)에서 9(1001)까지 10개의 상태를 순차적으로 계수하고 다시 0에서 9로 재순환 하는 카운터 이다. 동작방법은 동기계수회로와 비슷하지만 몇가지 다시 재순환 하기 위하여 몇가지 장치를 추가한 형태이다. 동기계수회로와 비교하여 설명하면 첫 번째 Flip Flop(2의0승)의 출력 값이 나오는 과정은 같다. 두 번째 Flip Flop(2의1승)의 출력 값은 동기계수회로에서는 첫 번째 Flip Flop(2의0승)의 출력 값이 1일때 토글링되었다. 동기 10진카운터 에서는 첫 번째 Flip Flop(2의0승)의 출력 값이 1이고 네 번째 Flip Flop(2의3승)의 출력 값이 0일 때 토글링 된다. 이는 출력 값이 9일 때 토글링되지 않게 하기 위함이다. 3번째 Flip Flop(2의2승)은 동기계수회로와 동일하다. 4번째 Flip Flop(2의3승)은 첫번째, 두번째, 세번째 Flip Flop의 출력 값이 모두 1일 때 즉 결과 값이 7일 때 토글링 되거나 첫 번째, 네번째 Flip Flop의 출력 값이 모두 1일 때 즉 결과 값이 9일 때 토글링 된다. 따라서 결과 값이 9가 된 후 다음 failing edge 때 0으로 돌아가고, 다시 처음부터 반복하게 된다.

1. 74160(Synchronous decade counter)

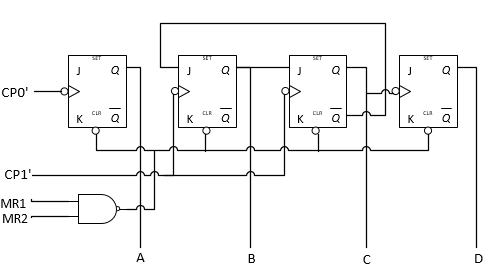


74160은 10진카운터 소자이다. 0~9까지 차례대로 증가한다. 15(Carry out)으로 신호를 전달하고 11~14 각각 출력 값을 나타낸다. 비동기적으로 CLR(리셋)이 가능하고, rising edge에서 트리거 된다. Preset와 Clear 모두 "1"로 하였을때 정상 동작한다.

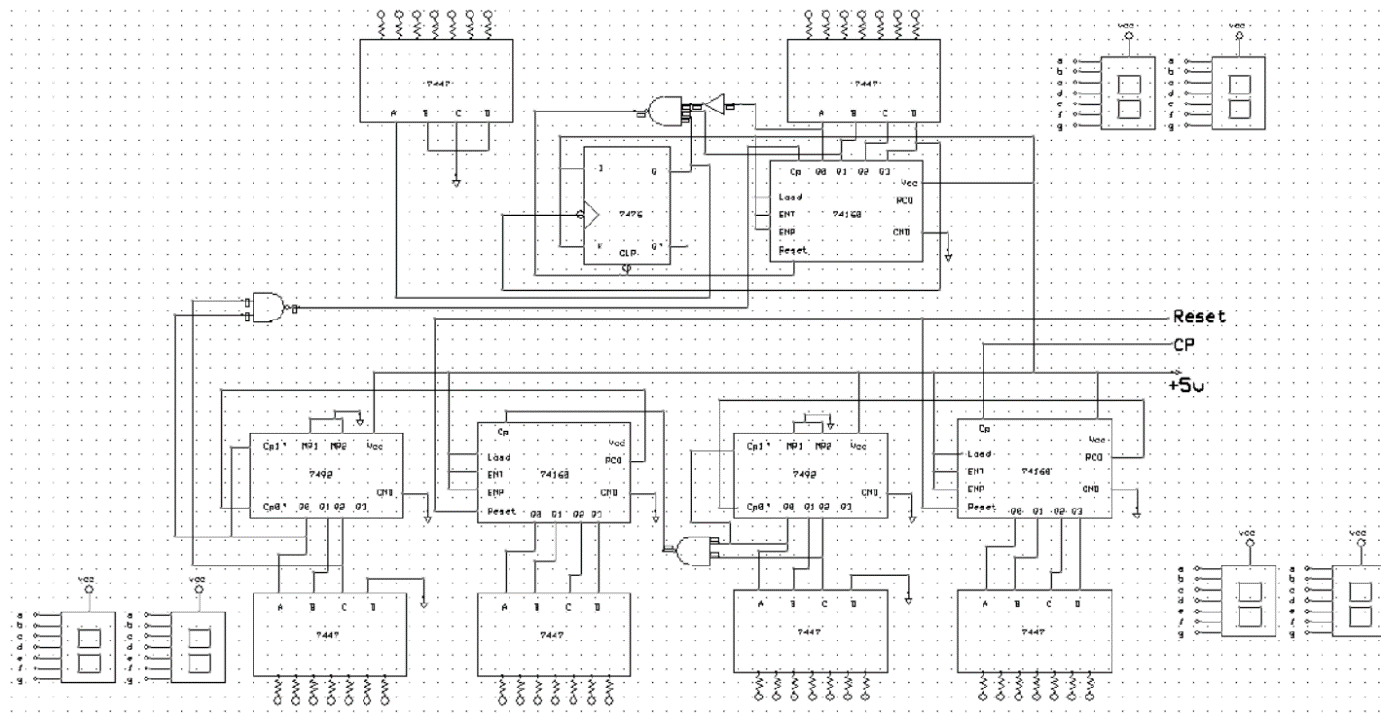
1. 7492(Divide-by-twelve-counter)



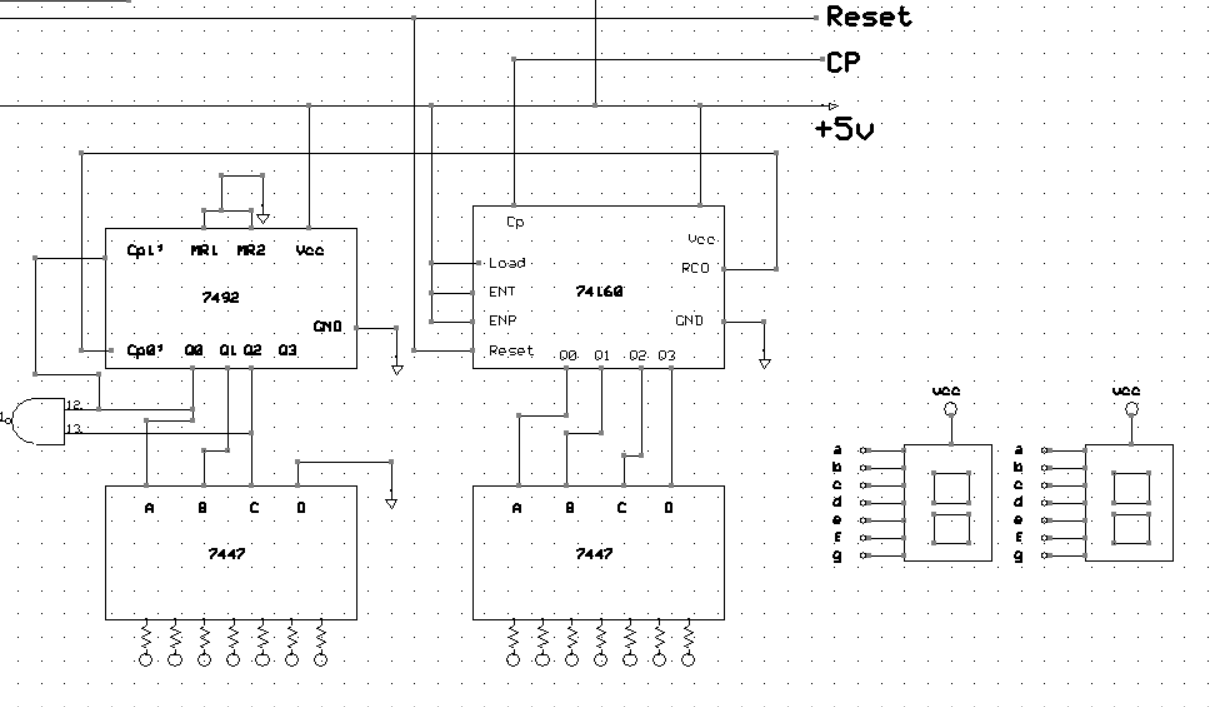
12진법 수를 나타낼 수 있다. 하지만 6까지만 순차적으로 증가하고, 그 이후로는 순차적이지 않아서 11진법 카운터로는 사용할 수 없다. 60진법의 십의 자리의 경우에는 순차적으로 증가하는 0,1,2,3,4,5만 필요하므로 이 프로젝트에서는 초와 분의 십의 자리를 나타낼 때 사용할 수 있다. 6번, 7번(R0(1), R0(2) 또는 MR1, MR2)이 모두 1일 때 출력 값이 0(0000)이 된다.



1. 실험 결과
2. 회로도와 회로 설명

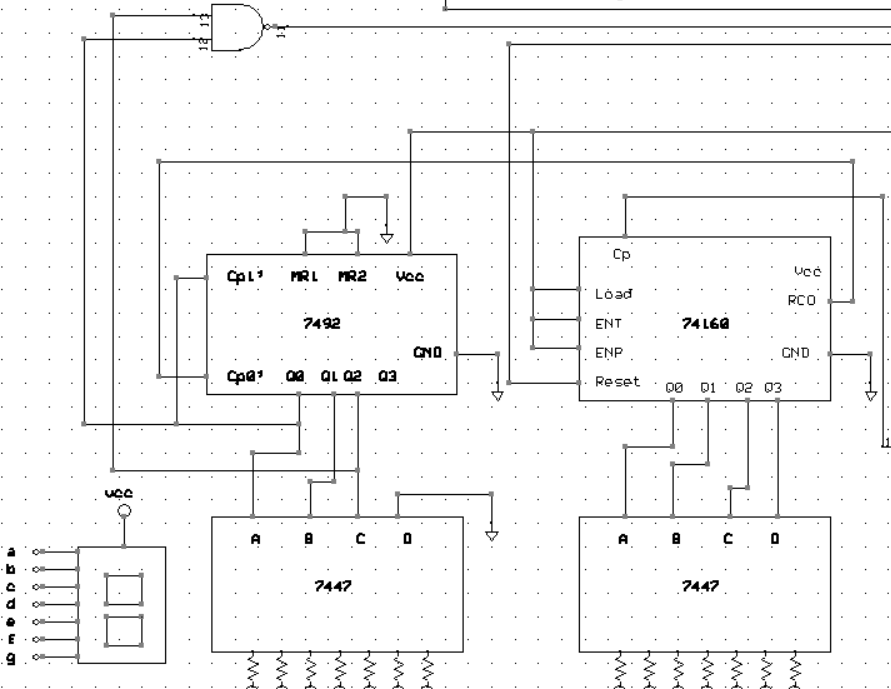


<초>



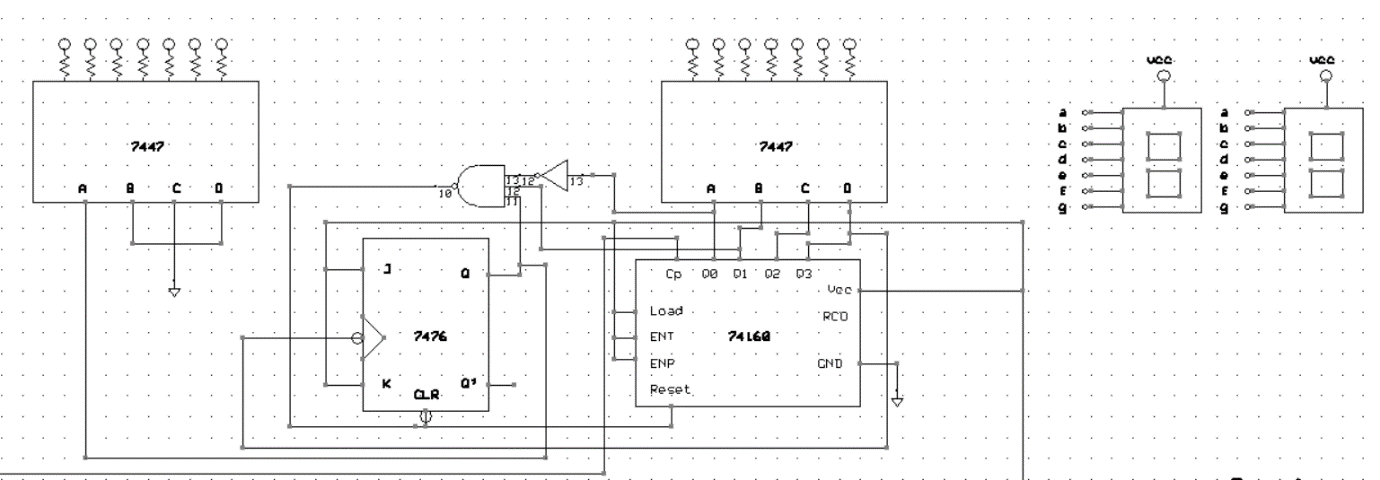
초의 일의 자리와 십의 자를 나타내기 위해서는 일의 자리를 나타내기 위한 74160 칩과 십의 자리를 나타내기 위한 7492칩을 사용하였습니다. 74160에 클럭을 주면 0부터 9까지 순차적으로 수가 증가합니다. 일의 자리고 9까지 올라가고 다시 0이 되면 십의 자리가 올라가야 하므로 74160칩의 Carry Out 이라는 out put 단자를 통하여 7492칩의 클럭으로 넣어주면 일의 자리가 9가되고 0으로 바뀌면 그 순간 십의 자리의 숫자도 변하게 됩니다. Carry Out 이란 해당 칩의 가장 큰 수가 되었을 때 1의 신호를 주는 Out Put 단자를 일컫습니다. 7492칩이 down edge에서 수가 변하기 때문에 Carry out으로 9가 되는 순간 1을 주었다가 다시 0으로 변하면서 0이 되는 순간 7492의 수가 변하게 되는 것입니다.

<분>



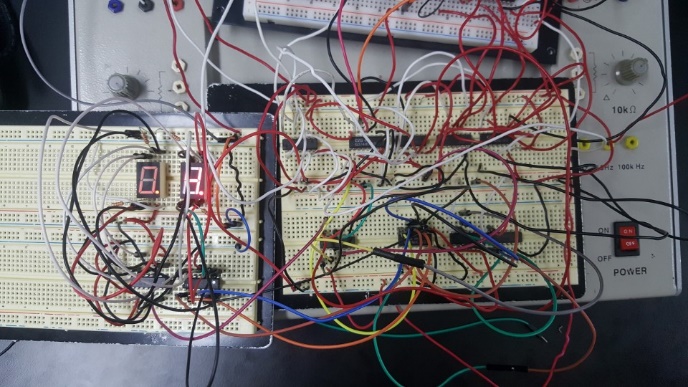
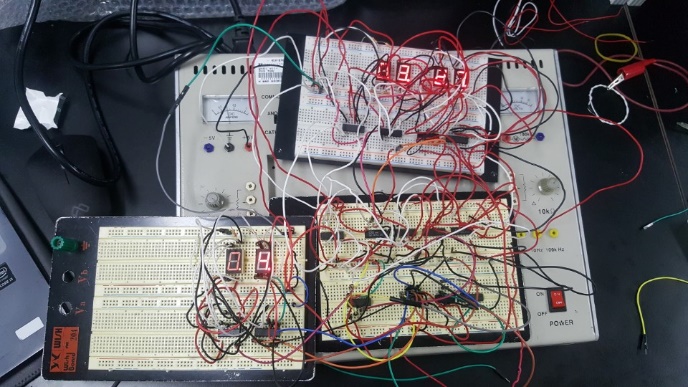
분을 만들 때는 초의 십의 자리 정보를 클럭으로 받아서 숫자를 변화 시켜주어야 합니다. 그 방법으로 저희 조는 NAND Gate를 택하였으며 74160은 rising edge에서 수가 변하므로 초의 십의 자리에서는 1의 신호를 주다가 숫자가 5가 되는 순간 0의 신호를 주고 숫자가 0이 되면서 다시 1로 신호를 주게 되면 분의 일의 자리에 영향을 미칩니다. 진리표를 만들어 비교해본 결과 NAND Gate가 적절하다고 판단하여 초의 십의 자리에서 나오는 아웃풋 Q0와 Q2를 NAND의 인풋으로 넣고 NAND의 아웃풋을 분의 74160에 클럭 신호로 넣으면서 분을 완성하였습니다. 이렇게 신호를 주는 것을 제외하고는 시의 일의 자리에 영향을 미치는 신호까지 초의 회로와 동일하게 구성 할 수 있습니다.

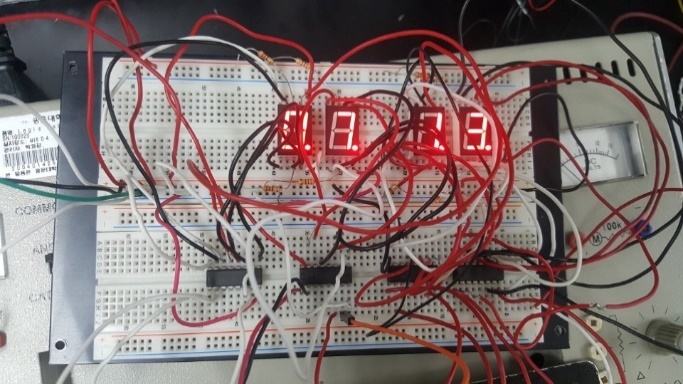
<시>



시를 구성할 때는 조교님들이 올려 주신 회로를 보고 구성 하였습니다. 처음에 저희가 구성하였던 회로로 구성을 해보려고 했으나 상당히 복잡하고 오류가 났을 때 디버깅 자체가 힘들어서 프로젝트 마지막 날 회로를 바꾸게 되었습니다. 시를 구성하는 방법으로는 74160칩과 JK-Flip Flop을 사용하여 나타냈습니다. 가시적으로 11 까지의 시간을 보여주는 시계이므로 74160으로 1의 자리를 9까지 보여주고 십의자리가 1이 되고 일의 자리가 다시 0이되어 1까지 만 보여주며 11다음이 되는 순간 십의자리와 일의 자리를 모두 초기화 될 수 있도록 설계하면 됩니다. 회로 설명으로는 분의 십의자리 정보를 클럭으로 받아 오면서 시의 일의 자리를 나타내는 것은 간단하게 해결 할 수 있고 시의 십의 자리 또한 시의 일의 자리에서 Q3의 정보를 클럭으로 전달 해 주게 되면 일의자리가 9까지 갔다가 0이되면서 값이 반전하게 되어 값이 1로 변하는 것을 쉽게 볼 수 있습니다. 이렇게 Flip Flop의 값 1이 NAND Gate의 input으로 들어가게 되고 74160의 Q0’와 Q1의 값이 input으로 들어가게 되면 시간이 11 다음이 되는 순간 모두 초기화가 되면서 시계가 처음부터 돌아가는 것을 확인 할 수 있습니다.

1. 실제 회로





1. 고찰
2. 고찰

프로젝트를 시작하기전 사전에 공부를 하면서 Carry Out이라는 Out Put을 알게 되었습니다. 74160에서 7492에 클럭 신호를 줄 때 사용한 단자로써 알지 못하고 있었다면 Gate가 추가되면서 회로가 더 복잡해집니다.

또한 각각의 칩들이 클럭의 rising edge와 falling edge, 반응하는 클럭의 종류가 두가지로 나뉘기 때문에 이 또한 잘 생각하면서 회로를 설계하여야 했습니다.

또한 마지막에 시의 십의 자리가 1이 나오고 일의 자리가 1다음에 초기화 되어야 하는데 작동하지 않는 문제가 발생했습니다. 가장 기본적인 Flip Flop에 preset을 Vcc로 연결해주어야 하는데 연결하지 않고 있어서 Flip Flop이 정상적으로 작동하지 않는 모습을 보였습니다.

지까지 실험한 내용을 전체적으로 공부 할 수 있는 Project였습니다.

1. 참여도

전영광 : 30

전효희 : 30

정용훈 : 40

1. 참고문헌

<http://murcielrago.tistory.com/13>

http://www.alldatasheet.com/

지금까지의 강의자료